

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(translation)



(12) Japanese Patent Laid-Open(A)

(11) Japanese patent laid-open No.: Pyung 6-35415
(43) Japanese patent laid-open date: February 10, 1994

(54) Title: CIRCUIT FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE

(21) Application No.: Japanese Patent Application No. 04193646

(22) Filing Date: July 21, 1992

RECEIVED

OCT 15 1999

TECHNOLOGY CENTER 2800

PURPOSE: To make an excellent display by optimizing the AC timing of display data, a common counter electrode voltage V_{com} and a gate-OFF voltage V_{goff} so that no bright line is displayed when a V_{com} AC driving system employs a line AC system.

CONSTITUTION: The display data inputted from drain drivers 115 and 116 to a liquid crystal panel 130 are made into an AC signal with an AC converting circuit 113 by using the data AC signal 107 generated by a data AC signal generating circuit 106. The gate-OFF voltage and common counter electrode voltage, on the other hand, are applied to a liquid crystal panel 130 after being made into an AC signal by a power circuit 122 so that the bright line due to the deviation in timing between the display data and AC timing is not displayed on a display screen by using AC signals 120 and 121 generated by optionally shifting the data AC signal 107 with a power AC signal generating circuit. **COPYRIGHT:** (C)1994,JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-35415

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. ⁵ G 0 9 G 3/36 G 0 2 F 1/133	識別記号 5 0 5 5 5 0	府内整理番号 7319-5G 9226-2K 9226-2K	F I	技術表示箇所
---	------------------------	---	-----	--------

審査請求 未請求 請求項の数3(全13頁)

(21)出願番号 特願平4-193646	(71)出願人 000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成4年(1992)7月21日	(72)発明者 池田 牧子 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
	(72)発明者 古橋 勉 神奈川県横浜市戸塚区吉田町292番地株式会社日立製作所マイクロエレクトロニクス機器開発研究所内
	(74)代理人 弁理士 小川 勝男

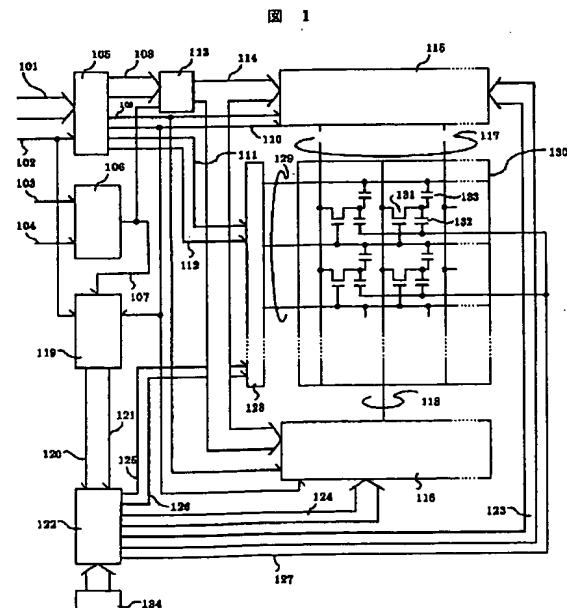
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動回路

(57)【要約】

【目的】V_{c o m}交流駆動方式でライン交流方式を用いた場合に、輝線が表示されないよう、表示データ、共通対向電極電圧V_{c o m}、ゲートオフ電圧V_{g o f f}の交流タイミングの最適化を行い、良好な表示を得ることを目的とする。

【構成】ドレインドライバ115、116から液晶パネル130に入力される表示データは、データ交流信号生成回路106で生成されたデータ交流信号107を用いて、交流回路113で交流化されている。それに対し、ゲートオフ電圧、共通対向電極電圧は、表示画面に表示データとの交流タイミングのずれによる輝線が表示されないよう、データ交流信号107を電源交流信号生成回路で任意にシフトさせた交流信号120、121を用いて、電源回路122で交流化され、液晶パネル130に印加される。



【特許請求の範囲】

【請求項1】液晶パネルの一方の内面にマトリックスに配列した画素部を有し、該画素部はスイッチング素子である画素トランジスタと液晶を有し、これらの画素トランジスタが選択的にオン、オフ制御され、その選択された画素トランジスタの一方の電極に接続された画素電極に、交流信号に変換された表示信号によって、その交流タイミングに同期して異なる極性の電圧として選択される液晶印加電圧を印加し、上記液晶パネルの他方の内面に形成された共通対向電極と該画素トランジスタがオフ期間中にゲートに印加する電位は、上記交流信号の交流タイミングと同期して、異なる2値の電位を切り換えて印加して表示を行う液晶表示装置の駆動回路において、上記表示信号を交流化する切り換えタイミングに対し、上記共通対向電極及びゲートに印加する電圧を切り換えるタイミングを任意に調節できる手段を設けたことを特徴とする液晶表示装置の駆動回路。

【請求項2】請求項1記載の液晶表示装置の駆動回路において、
入力するクロックをカウントする手段と、
共通対向電極とゲートに印加する電圧の切り換えタイミングのシフト量を記憶する手段と、
シフト量とカウント数を比較する手段と、
比較結果から切り換えタイミングをシフトさせるクロックを生成する手段を設けたことを特徴とする液晶表示装置の駆動回路。

【請求項3】請求項1記載の液晶表示装置の駆動回路において、
入力するクロックをカウントする手段と、
共通対向電極とゲートに印加する電圧の切り換えタイミングのシフト量を記憶する手段と、
シフト量とカウント数を比較する手段と、
比較結果から切り換えタイミングをシフトさせるクロックを生成する手段を、共通対向電極電圧とゲートオフ期間にゲートに印加される電圧で別々に設けたことを特徴とする液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】液晶表示装置では、直流成分印加による液晶の劣化を防ぐために、液晶にかかる電圧を一定周期で交流化する駆動方式を用いている。従来用いられてきた交流駆動方式には、「フラットパネルディスプレイ1991」(日経BP社)P173~P180記載の液晶表示装置がある。本表示装置には薄膜トランジスタを用いたTFT-LCD (Thin Film Transistor-Liquid Crystal Display)がある。

【0003】図12、14を用いて従来装置の説明をする。

【0004】図12は従来の液晶表示装置のブロック図を示したものである。

【0005】図12において、1201はCRT用表示データバスであり、R、G、Bのカラーデータを転送する。1202はドットクロックであり、表示データに同期している。1203は水平同期信号H syncであり、1水平周期毎に有効となる信号である。以下、1水平周期を1ラインと呼ぶ。1204は垂直同期信号V syncであり、1フレーム毎に有効となる信号である。1205は並び換え回路、1206は液晶駆動用クロック生成回路、1207は液晶用表示データバス、1208はCL2クロックであり、液晶用表示データに同期している。1209はCL1クロック、1210はCL3クロックで、いずれも1ライン毎に有効となる信号である。1211はFLMクロックで1フレーム毎に有効となる信号である。1212は上ドレインドライバ、1213は下ドレインドライバであり、本液晶表示装置では上下方向に配置した構成を探っている。1214は上ドレインドライバ1212の生成する液晶印加電圧を転送するドレイン線であり、1215は下ドレインドライバ1213のドレイン線であり、ドレイン線1214と1215は交互に配置されている。1216は交流信号で、フレーム毎に反転する。1217は電源回路であり、液晶印加電圧Vnを生成する。1218、1219は上、下ドライバ駆動電圧線、1220は共通対向電極線で、交流駆動の基準電圧となる共通対向電極電圧Vcomを転送する。1221はゲートドライバ、1222はゲート線であり、ゲート電圧Vgが印加される。1223は液晶パネルであり、1ドットがR、G、Bの3画素で構成されている。1224は液晶パネル1223の各画素のTFTで、スイッチの役割をする。1225は各画素の液晶、1226は付加容量で、液晶に印加される電圧の変動を防ぐ。尚、付加容量1226のTFT1224の反対側の電極は、前のラインのゲート線となっている。1227は電源回路1217の電源、1228はゲートオン電圧線で、ゲートオン電圧Vgonを転送する。

【0006】図14は図12に記載する従来装置のタイミングチャートである。Vdは表示データ1207に従って、ドレインドライバ1212、1213で選択された液晶印加電圧であり、実際にドレイン線1214、1215に入力されているデータ信号である。Vcomは基準電圧である共通対向電極電圧、Vgはゲート線1222に印加されるゲート電圧で、Vgonはゲートオン電圧、Vgoffはゲートオフ電圧である。

【0007】再び図12に戻り、本従来例の動作の説明をする。

【0008】CRT用表示データ1201は並び換え回

路1205で、上、下ドレインドライバ1212、1213のインターフェイスと液晶パネル1223の画素配列に適するように変換され、上、下ドレインドライバ1212、1213に転送される。並び換え回路1205では、同時に、表示データ1207をドレインドライバ1212、1213に順次取り込むシフトクロックとなるCL2クロック1208を生成する。CL2クロック1208は、並び換え回路1205に入力されるドットクロック1202から容易に生成出来る。

【0009】次に、液晶駆動用クロック生成回路1206で、上、下ドレインドライバ1212、1213の駆動信号のうちCL1クロック1209、ゲートドライバ1221の駆動信号CL3クロック1210、FLMクロック1211を生成する。CL1クロック1209、CL3クロック1210は水平同期信号1203から、FLMクロック1211は垂直同期信号1204から容易に生成出来る。

【0010】電源回路1217では基準電圧となる共通対向電極電圧V_{com}及び、液晶印加電圧V_nを生成する。液晶印加電圧V_nは、上、下ドライバ駆動電圧線1218、1219から、上、下ドレインドライバ1212、1213に転送される。また、交流駆動であるため、液晶印加電圧V_nは、共通対向電極電圧V_{com}を基準電圧として、フレーム毎に極性反転する交流信号1216に同期して交流化されており、上ドレインドライバ1212と、下ドレインドライバ1213に供給される液晶印加電圧は常に逆極性に交流化されている。上、下ドレインドライバ1212、1213にはそれぞれ液晶の劣化を防ぐためにフレーム毎に逆極性の電圧を与えるが、印加される電圧の絶対値が同じ場合でも、極性が逆の場合は液晶分子の振る舞いが多少異なる。このため、パネル全体で表示の差異が目立たないよう分散させるため、1画素毎に逆の極性を与えるだけでなく、フレーム毎に与える極性を反転させて、平均化を図っている。

【0011】液晶用表示データバス1207を介してドレインドライバ1212、1213にそれぞれ転送された表示データは、シフトクロックであるCL2クロック1208により、順次ドライバ内に取り込まれ、ラッチクロックであるCL1クロック1209が有効となることで、1ライン分のデータが全て取り込まれる。取り込まれた表示データは、各々の表示データに従ったレベルの、上、下ドライバ駆動電圧線1218、1219により転送された液晶印加電圧V_nを選択し、ドレン線1214、1215より液晶パネル1223のゲートドライバ1221によって選択されているラインへ供給される。

【0012】ゲートドライバ1221では、駆動信号としてFLMクロック1211及びCL3クロック1210を入力し、FLMクロック1211が有効になる毎に

液晶パネル1229の最上位のラインが選択され、CL3クロック1210が有効になる毎に順次次のラインが選択される。選択されたラインのゲート線1222には、そのラインの各画素のTFT1224をオン状態にするゲートオン電圧V_{gon}が、選択されている期間中印加される。非選択期間中は一定電圧であるゲートオフ電圧V_{goff}が印加される。選択されオン状態になっているラインには、ドレン線1214、1215から、表示データに従って選択された液晶印加電圧が取り込まれる。図14のタイミングチャートを用いて、この場合の動作の説明をする。

【0013】図14で、ゲート線1222には、ゲートオン電圧V_{gon}と、ゲートオフ電圧V_{goff}の重畠電圧であるゲート電圧V_gが印加されている。各画素の液晶1225のTFT1224側の端子にはドレン線1214、1215から供給される、表示データにより選択された液晶印加電圧V_dが印加され、他方の共通対向電極線1220からは共通対向電極電圧V_{com}が印加されている。従って、ゲートオン期間中に液晶1225に印加される電圧は、V_dとV_{com}の差である実効値である。実効値は、V_dがV_{com}より高電圧ならば正極性、低電圧ならば負極性である。以上のように、従来例での液晶の劣化を防止する交流駆動表示が行われる。

【0014】ところで、液晶表示装置の低価格化、低消費電力化を考えると、液晶印加電圧V_dを低減させる必要が生じる。つまり、液晶印加電圧V_dを低減させることでドレインドライバ1212、1213を小規模化できるからである。しかし、前述の方式では液晶印加電圧を低減させると、液晶に印加される電圧の実効値が減少する。このため、液晶パネルの駆動に必要な実効値が得られなくなり、表示品質が劣化する。そこで、共通対向電極電圧を、表示データに対して同周期で逆相に交流化し、液晶印加電圧を低減しても十分な実効値が得られる共通対向電極交流駆動方式が用いられる。(以下V_{com}交流駆動方式と呼ぶ。)この駆動法の従来方式には特開平2-77722「液晶表示装置」がある。

【0015】図13、15を用いてV_{com}交流駆動方式の従来例について説明する。

【0016】図13は、従来のV_{com}交流駆動方式を用いた液晶表示装置のブロック図である。図13で、1201はCRT用表示データ、1301はドットクロック、1203は水平同期信号Hsync、1204は水平同期信号Vsync、1302は並び換え回路で、表示データ1201の変換及びクロックの生成を行う。1303はデータ交流信号生成回路、1304はデータ交流信号Mであり、データ交流信号生成回路1303で生成される。1207は並び換え回路1302で変換された表示データを転送する液晶用表示データバスであり、1305は交流化回路で、表示データバス1207を介

して転送される表示データを交流化する。1306は交流化された表示データを転送する表示データバス、1307はCL2クロックで液晶用表示データ1207に同期し、ドットクロック1301から容易に生成できる。1308はCL1クロック、1309はCL3クロックで、いずれも1ライン毎に有効になる信号である。1310はFLMクロックで、1フレーム毎に有効になる信号、1212は上ドレインドライバ、1213は下ドレインドライバであり、本液晶表示装置では上下方向に配置した構成をとる。1214は上ドレインドライバ1212が液晶印加電圧Viを転送するドレイン線であり、1215は下ドレインドライバ1213のドレイン線であり、ドレイン線1214と1215は交互に配置されている。1311は電源回路であり、液晶印加電圧Viの生成を行う。1312はゲートオフ電圧線で、ゲートオフ電圧Vgoffを転送する。1313は共通対向電極線で、共通対向電極電圧Vcomを転送する。Vgoff、Vcomは、電源回路1311で交流電圧として生成される。1314は上ドライバ駆動電圧線、1315は下ドライバ駆動電圧線で、各々液晶印加電圧Viをドレインドライバ1212、1213に転送する。1221はゲートドライバで、表示を行うラインを選択する。1222はゲート線で、ゲートドライバ1221からゲート電圧Vgが印加される。1223は液晶パネル、1224は各画素のスイッチの役割をするTFT、1225は各画素の液晶、1226は各画素の付加容量で、液晶に印加される電圧の変動を防ぐ。1227は電源回路1311の電源、1316はゲートオン電圧線で、電源回路1311で生成されるゲートオン電圧Vgonを転送する。

【0017】図15は図13に記載した従来例のタイミングチャートである。図15で、Vdは表示データバス1306を介して転送される交流化された表示データによって選択された液晶印加電圧で、ドレイン線1214、1215に実際に入力されているデータ信号である。Vgはゲート線1222に印加されるゲート電圧で、ゲートオフ電圧Vgoffとゲートオン電圧Vgonの重畠電圧である。Vcom1、Vcom2は交流電圧である共通対向電極電圧Vcomの2値であり($Vcom1 > Vcom2$)、Vgoff1、Vgoff2はゲートオフ電圧Vgoffの2値である($Vgoff1 > Vgoff2$)。

【0018】再び図13に戻り、本従来例の動作を説明する。

【0019】図13において、CRT用表示データ1201は、並び換え回路1302で上、下ドレインドライバ1212、1213のインターフェイス及び、液晶パネル1223の画素配列に適する液晶用表示データに変換され、表示データバス1207を介して転送される。また、並び換え回路1302は、ドレインドライバ12

12、1213の駆動電圧であるCL2クロック1307、CL1クロック1308、およびゲートドライバ1221の駆動信号であるCL3クロック1309、FLMクロック1310を生成する。

【0020】液晶用表示データは、交流化回路1305に入力され、同じく入力されるデータ交流信号1304に同期して交流化される。データ交流信号1304はデータ交流信号生成回路1303で生成される。データ交流信号生成回路1303では水平同期信号1203を分周し、複数ライン毎に反転する出力をデータ交流信号1304として、交流化回路1305、電源回路1311に出力する。

【0021】電源回路1311では、入力されたデータ交流信号1304を用い、これと同期して、かつ逆相である共通対向電極電圧Vcom、及びゲートオフ電圧Vgoffを生成する。同時に、液晶印加電圧Vi($V0, V1, \dots$)を生成し、上、下ドライバ駆動電圧線1314、1315へからドレインドライバ1212、1213に転送する。

【0022】上、下ドレインドライバ1212、1213に表示データバス1306を介して転送される交流化された表示データは、シフトクロックであるCL2クロック1307によって順次取り込まれ、ラッチクロックであるCL1クロック1308が有効になることで1ライン分の表示データが全て取り込まれる。取り込まれた表示データは、各々の表示データに従ったレベルの液晶印加電圧Viを選択する。選択された液晶印加電圧は、ドレイン線1214、1215から液晶パネル1223へ供給され、表示を行うべきラインの各画素の液晶1225に印加される。表示データは交流化されているので、それに同期して選択される電圧の共通対向電極に対する極性も反転する。

【0023】ゲートドライバ1221には駆動信号としてFLMクロック1310、CL3クロック1309が入力される。FLMクロック1310が有効になるごとに最上位のラインが選択され、CL3クロック1309が有効になる毎に、順次次のラインが選択される。選択されたラインのゲート線1222には、そのラインのTFT1224のゲートをオン状態にするゲートオン電圧Vgonが印加され、ラインをオン状態にする。非選択の場合は、ゲートオフ電圧Vgoffがゲート線1222に印加される。選択されたラインの各画素の液晶1225には、ドレイン線1214、1215より転送された液晶印加電圧Viが印加され、表示が行われる。

【0024】図15のタイミングチャートを用い、この時の動作について説明する。図15において、液晶印加電圧Vdと、共通対向電極電圧Vcom、ゲートオフ電圧Vgoffは逆相電圧で、実際に液晶に印加される電圧は、共通対向電極電圧Vcomと、液晶印加電圧Vdの差の実効値である。ゲートオン電圧Vgonは選択さ

15

タイミングチャートである。

【図10】図1に記載した本発明の液晶表示装置のタイミングチャートである。

【図11】図1に記載した本発明の液晶表示装置を用いて各信号の最適化を行った場合のタイミングチャートである。

【図12】従来の液晶表示装置のブロック図である。

【図13】従来の共通対向電極交流駆動方式を用いた液晶表示装置のブロック図である。

【図14】図12に記載した液晶表示装置のタイミングチャートである。

【図15】図13に記載した液晶表示装置のタイミングチャートである。

【符号の説明】

101…CRT用表示データバス、

102…ドットクロック、

103…水平同期信号H sync、

104…垂直同期信号V sync、

105…並び換え回路、

106…データ交流信号生成回路、

107…データ交流信号、

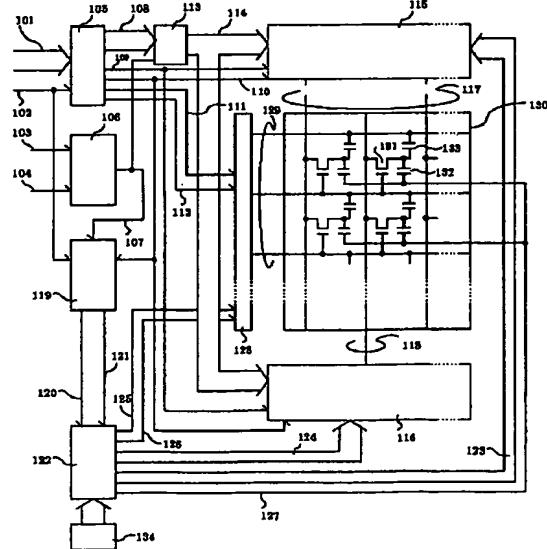
108…液晶用表示データバス、

109…CL2クロック、

110…CL1クロック、

【図1】

図1



16

111…CL3クロック、

112…FLMクロック、

113…交流化回路、

114…表示データバス、

115…上ドレインドライバ、

116…下ドレインドライバ、

117…115のドレン線、

118…116のドレン線、

119…電源交流信号生成回路、

120…Vcom交流信号M1、

121…Voff交流信号M2、

122…電源回路、

123…上ドライバ駆動電圧線、

124…下ドライバ駆動電圧線、

125…ゲートオン電圧線、

126…ゲートオフ電圧線、

127…共通対向電極線、

128…ゲートドライバ、

129…ゲート線、

20 130…液晶パネル、

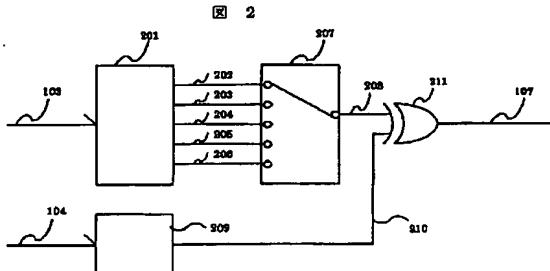
131…TFT、

132…液晶、

133…付加容量、

134…電源。

【図2】

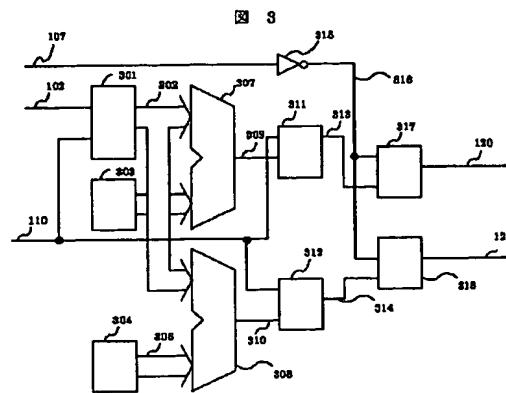


【図7】

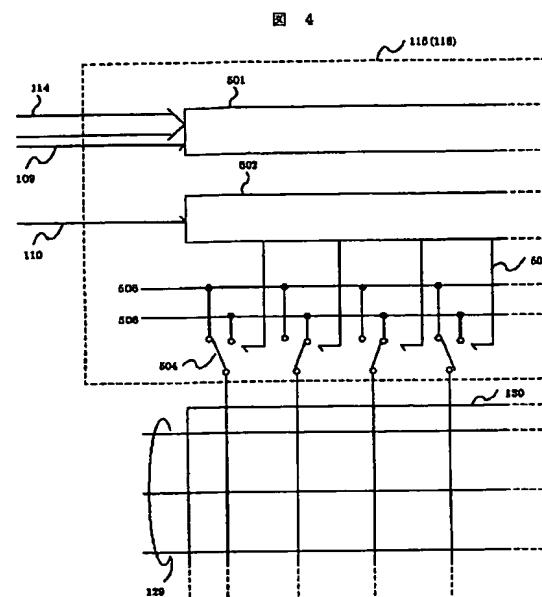
図7



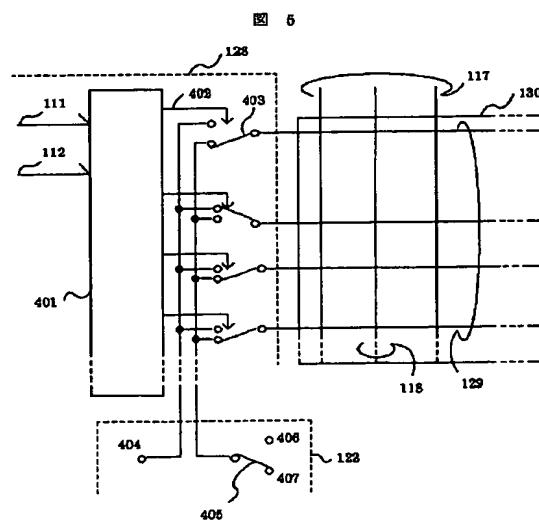
【図3】



【図4】



【図5】



【図9】

